

引用格式:张宁,史维华,王颀,等. 一种适用于 3D NAND 闪存的分分布式功率级 LDO 设计[J]. 微电子学与计算机,2022. 39 (3): 94-100. [ZHANG N, SHI W H, WANG Q. Distributed power stage LDO design for 3D NAND flash memory[J] Microelectronics&Computer,2022,39(3):94-100.] DOI:10.19304/J. ISSN1000-7180. 2021. 0959

一种适用于 3D NAND 闪存的分分布式功率级 LDO 设计

张 宁^{1,2,3},史维华³,王 颀^{1,2,3},霍宗亮^{1,2,3}

(1 中国科学院大学,北京 101400;

2 中国科学院 微电子研究所,北京 100029;

3 长江存储科技有限责任公司,湖北 武汉 430000)

摘 要: 由于 3D NAND 闪存芯片面积较大,其电源分布网络庞大、复杂,既需要满足多个块(block)并行读写时所需的 600 mA 峰值电流要求,也需要满足芯片在待机状态下的低功耗要求-针对以上问题,设计了一种为 3D NAND 闪存芯片进行供电的无片外电容的分分布式功率级 LDO 电路. 通过设计 Active 和 Standby 两种工作模式下的 LDO 进行切换以降低系统功耗;采用基于电容的升压电路驱动分分布式功率级结构,适应大面积 CMOS 芯片的供电要求;设计了输出电压检测电路前馈控制输出级以进一步提高环路瞬态响应速度. 基于长江存储工艺完成电路设计,仿真结果表明,设计的 LDO 的负载调整率为 0.018mV/mA,带载能力达 600 mA. 重载 600 mA 时的下冲电压为 0.21V. 通过流片、测试验证,设计的电路满足 3D NAND 闪存芯片的工作要求.

关键词: 分分布式功率级;升压电路;环路瞬态响应速度;3D NAND 闪存

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2022)03-0094-07

Distributed power stage LDO design for 3D NAND flash memory

ZHANG Ning^{1,2,3}, SHI Weihua³, WANG Qi^{1,2,3}, HUO Zongliang^{1,2,3}

(1 University of Chinese Academy of Sciences, Beijing 101400, China;

2 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

3 Yangtze Memory Technologies Co., Ltd., Wuhan 430000, China)

Abstract: Due to the large area of the 3D NAND flash memory chip, its power distribution network is huge and complex. It not only needs to meet the 600 mA peak current requirement when multiple blocks are read and written in parallel, but also needs to meet the low power consumption requirements of the chip in the standby. Aiming at these problems, a no off-chip capacitance LDO with distribute NMOS power stages is designed, which suits for the power supply requirement of the CMOS circuit in 3D NAND FLASH. Active/Standby mode operation is designed to reduce system power consumption. In order to enhance the driving capability and meet the requirement of power supply in large CMOS area, a boost circuit which based on switching capacitor circuit is used. The output voltage detection circuit is designed to feed forward controlling the output stage for the purpose of fast transient response. Based on the YMTC CMOS process, the circuit design is completed. The simulation results show that the designed LDO achieves 600 mA load capability with 0.018mV/mA load regulation. The undershoot voltage is 0.21V under 600mA loading current.

Key words: distributed power stage; boost circuit; transient response speed; 3D NAND flash memory

1 引言

3D NAND 闪存是一种大存储容量、非易失性的存储器,广泛应用于手机、SSD 等电子产品中。“大数据”时代的来临,使得市场对于 3D NAND 闪存的需求持续增长。3D NAND 闪存堆叠层数提高,存储容量增加,读写速度不断提高,对 3D NAND 闪存芯片的供电能力和响应速度提出了很高的要求。

低压差线性稳压器(LDO, Low Dropout Regulator)是 3D NAND 闪存电源管理单元的重要组成部分之一^[1]。LDO 因其输出电压稳定、面积小、低噪声的特性已成为纳米工艺下对 3D NAND 闪存的 CMOS 电路进行供电的主要方式。应用于 3D NAND 系统供电的 LDO,其设计面临的主要问题有:(1)负载电流达 600 mA,带载能力强的同时要求瞬态响应速度快。(2)如何设计芯片面积大于 50 mm² 的电源分布网络(PDN, Power Delivery Network),从而能对全芯片能进行有效供电。

传统 LDO 存在大的输出电容来满足大电流负载时的稳定性和瞬态响应速度要求,但难以在片上集成^[2]。应用于 3D NAND 闪存的 LDO 集成在 CMOS 电路上,输出端无大的片外电容,其主要设计难点是环路瞬态响应速度和带载能力。通过公式(1)分析可知,无片外电容 LDO 的环路瞬态响应速度主要受环路带宽、摆率、功率管栅端的寄生电容大小等影响^[1-4]。

$$\begin{aligned}\Delta V_O &\approx \frac{\Delta I_{\text{load}}}{C_{\text{load}}} (t_{\text{BW}} + t_{\text{SR}}) \\ &\approx \frac{\Delta I_{\text{load}}}{C_{\text{load}}} \left(\frac{1}{f_{\text{GBW}}} + \frac{C_{\text{par}} \times \Delta V}{I_{\text{SR}}} \right)\end{aligned}\quad (1)$$

式中, ΔV_O 为负载电流变化时, LDO 的输出电压变化大小。 C_{load} 为负载电容大小。 t_{BW} 为环路响应时间, t_{SR} 是对功率管栅端的寄生 RC 充放电时间。 f_{GBW} 为环路带宽, I_{SR} 为误差放大器的输出摆率电流, C_{par} 和 ΔV 分别为功率管栅极处的寄生电容和电压变化。

为提高无片外电容 LDO 的瞬态响应速度,许多文献都提出了相应的解决方法。文献[4]通过 Charge Pump 抬高误差放大器(EA, Error Amplifier)的电压域,进而提高 EA 的输出电压值,降低 NMOS 作为功率管带来的阈值电压损失,并采用混合偏置电流产生技术,加快环路响应速度;但是输出端连接的片外电容大小为 1 μF 。文献[5]通过对插入功率管栅极处的 Buffer 加入负反馈结构,降低

Buffer 的输出阻抗,拓宽环路带宽,但其输出下冲电压达 0.5 V,不符合设计要求。文献[6]设计了一种基于翻转电压跟随器的 LDO,通过增大其环路增益,并加入峰值电压检测电路来加快瞬态响应速度。文献[7]运用负压 Charge Pump 有效降低 LDO 的输入电压,提高 LDO 的效率与负载调整率,但其带载能力均有限。

针对以上问题,本文运用升压电路,设计了一种带载能力达 600 mA 且采用 NMOS 作为功率管的分分布式功率级 LDO 电路,同时采用峰值电压检测电路提高环路的瞬态响应速度。本文设计的 LDO 具有低功耗、带载能力强、瞬态响应速度快等特点。

2 LDO 电路系统结构

为降低系统功耗,设计了动态工作(Active)和待机(Standby)两种系统模式下的供电电路,能有效降低系统功耗。当 3D NAND 闪存执行 Read / Program / Erase 操作时,系统处于 Active 状态,通过图 1 所示的 LDO 电路进行供电,电路主要由偏置电路、误差放大器(EA, Error Amplifier)、升压电路(Boost Circuit)、峰值电压检测电路(Detect Peak Voltage)构成。

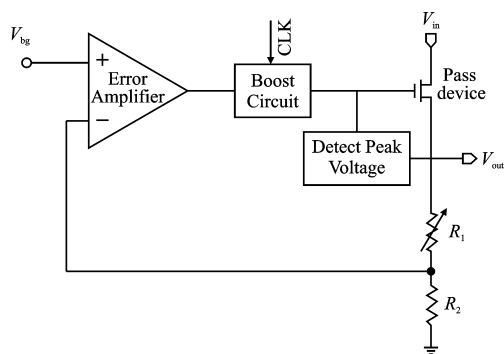


图1 Active 模式下 LDO 结构图

Fig. 1 The structure of LDO in active model

相比于 PMOS 作为功率管, NMOS 的输出阻抗低,易于补偿。同时电子的迁移率高于空穴,相同的过驱动电压下能流过更大的电流,驱动能力更强^[4-6],但 NMOS 存在阈值电压损失。因而,本次设计的 Active 模式下的 LDO 电路采用阈值电压为负值的本征 NMOS 作为功率管。

图 2 是 Standby 模式下的 LDO 电路结构,电路消耗的静态电流低,并采用 Diode 连接形式的 MOS 管作为反馈电阻,面积消耗小,其输出电压值比 Active 下低 0.1 V。通过检测芯片的 CE(chip enable)

信号,用控制逻辑控制两种模式的 LDO 切换,以满足芯片在不同工作状态下的工作要求. 通过逻辑信号控制偏置电压的产生、LDO 环路的节点电压大小等来控制电路的工作状态. 因而,在逻辑信号控制下能在这两种工作模式间自由、快速切换.

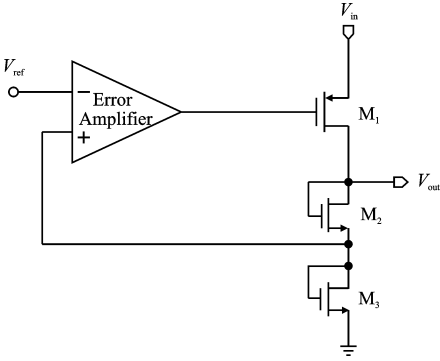


图 2 Standby 模式下 LDO 结构图

Fig. 2 The structure of LDO in standby model

图 3 所示为分布式功率级 LDO 在全芯片上的分布示意图. 3D NAND 闪存的 CMOS 芯片的横向长度为 8~12 mm,纵向长度 5~8 mm. 若采用集总式功率级结构,经过验证,在大电流负载时,尽管走线宽度较宽,但长距离走线对 LDO 的输入电压、输出电压、地电位仍都存在明显的电压降效应,不符合实际应用要求. 因此,本文设计的 LDO 采用分布式功率级结构,将功率级放在靠近负载电流的位置即有利于降低电压降效应的影响,同时增强了 LDO 的驱动能力,使输出电压快速响应负载电流的变化. 采用分布式功率级 LDO 的设计难点是电源分布网络的设计和 LDO 反馈点的选取,电源分布网络设计的不合理同样将导致电压降太大,供电网络不能对全芯片进行有效供电,反馈点选取的不合理将导致全芯片的电压分布不均匀,进而导致芯片供电不足.

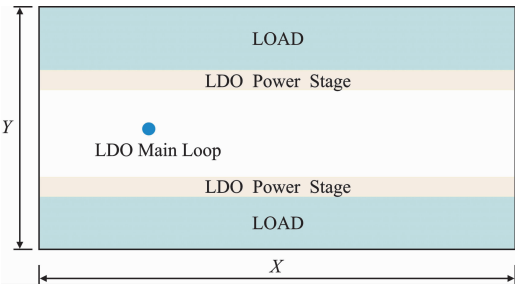


图 3 分布式功率级结构图

Fig. 3 The structure of distribute power stage LDO

图 3 中 LOAD 代表 LDO 的负载电流分布, Power Stage 代表 LDO 的功率级, Main Loo0 代表

LDO 的主环路.

3 LDO 核心模块设计

3.1 误差放大器设计

图 4 所示是 Active 模式下 LDO 电路原理图. 通过公式(1)分析可知,加快无片外电容 LDO 瞬态响应速度的主要方法是拓宽环路带宽和增大摆率. Active 模式下所设计的 LDO 的 EA 采用三电流镜对称 OTA 结构,电路具有严格的对称性,降低了运放的失调电压,同时还能提供更大的摆率. 通过改变 EA 的偏置电流即可控制输入 MOS 管(M_1 、 M_2)的跨导和输出电流大小. 回路结构简单,易于补偿,通过米勒补偿电容(C_4)可有效增大环路带宽. 其增益(A_V)表达式如式(2)所示,由式(2)分析可知,所设计的 LDO 的环路增益大小约等于一级运放增益大小,增益较小. 增益带宽积为常数时,增益越小,带宽越大. 主极点 P_d 的位置如式(3)所示,主极点处所对应的等效电阻和电容大小如式(4)、(5)所示,所对应的等效电阻值与 MOS 管的跨导有关,阻值较小,调整米勒电容大小,使得主极点位于高频处,次主极点位于单位增益带宽附近,因而环路带宽较大. 图 5 所示是负载电流大小为 600 mA 时的环路增益与相位裕度曲线. 从图中可以看出环路的 GBW 达到 25 MHz,因而,LDO 有极快的瞬态响应速度.

$$A_V \approx g_{m10} \times \left\{ r_{ds10} \parallel \left(2 \times r_{ds8} + \frac{1}{g_{m9}} \right) \right\} \quad (2)$$

$$P_d = \frac{1}{2\pi \times r_n \times c_n} \quad (3)$$

$$r_n \approx \frac{1}{g_{m4}} \parallel r_{ds2} \quad (4)$$

$$c_n \approx C_4 \times g_{m10} \times \left\{ r_{ds10} \parallel \left(2 \times r_{ds8} + \frac{1}{g_{m9}} \right) \right\} \quad (5)$$

3.2 升压电路设计

采用 NMOS 作为功率管,重载时,通过环路调节,提高功率管栅端的电压值,增大功率管的源漏电流以有效驱动负载. 但是,当 LDO 的电压域较低,无法进一步抬高功率管的栅极电位,导致其驱动能力不够时,会显著降低 LDO 的输出电压值. 因此,本文设计了一种升压电路抬高功率管的栅端电压.

常见的升压电路主要是电荷泵结构,电荷泵主要是利用电容对电荷的积累和转移而实现升压. 常见的 N 阶 Dickson 电荷泵的输出电压表达式如式(6)所示:

$$V_{out} = V_{in} + N(V_{in} - V_{th}) - V_{th} \quad (6)$$

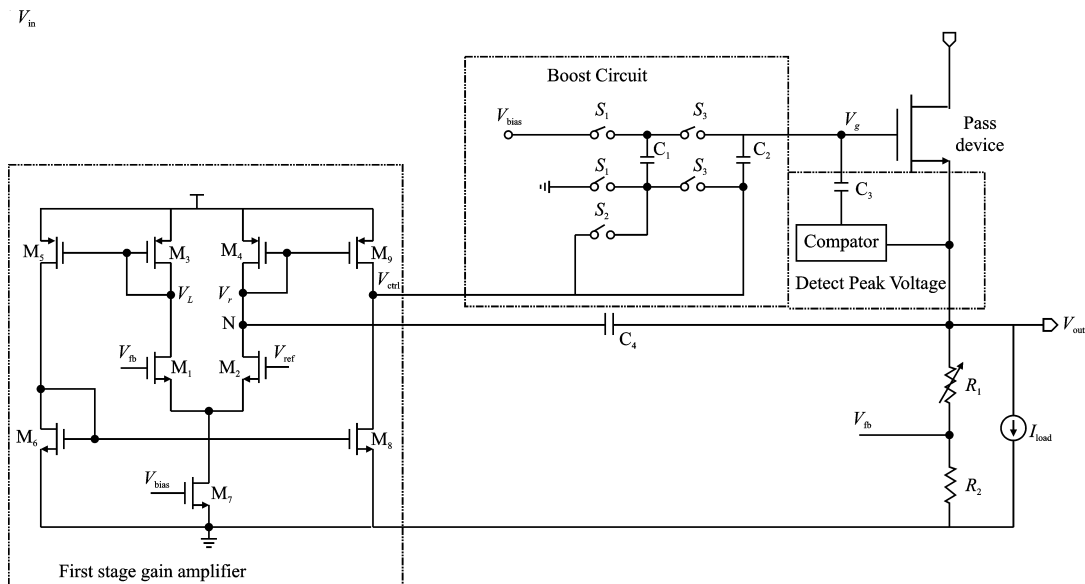


图 4 Active 模式 LDO 原理图

Fig. 4 The schematic of LDO in active model

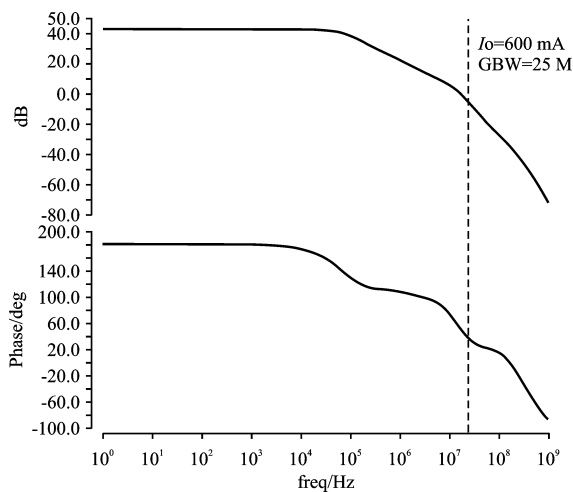


图 5 AC 特性曲线仿真图

Fig. 5 The results of AC simulation

由上式可知,若采用基于 Dickson 电荷泵的电压倍增结构,存在阈值电压损失,同时栅端电压容易超出功率管的电压承受范围,使得器件被击穿。本文在基于 Dickson 电荷泵的基础上设计了一种能实现任意两个电压相叠加的升压电路,降低阈值电压损失,有效满足设计要求。

图 6 所示是本次设计的升压电路, 控制升压电路的时钟产生电路如图 7 所示, 电路启动过程中, 偏置电流 I_{bias1} 对电容 C_7 充电, 抬高 V_4 点的电位, 使得 M_{13} 导通, 拉低 V_5 点的电压。然后, 通过反向逻辑, 提高 V_6 点的电位, 使得 M_{12} 导通, 对电容 C_7 进行放电, 从而形成周期性的振荡信号, 产生的时钟信号频率

表达式如式(7)所示,所产生的时钟频率主要取决于偏置电流和电容值大小.

$$F_{\text{clk}} \cong \frac{I_{\text{bias1}}}{2 C_7 \times V_{\text{in}}} \quad (7)$$

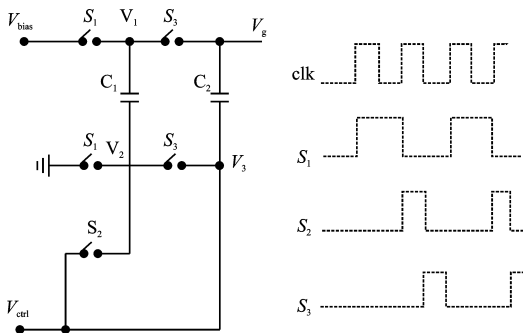


图 6 升压电路结构图

Fig. 6 The schematic of boost circuit

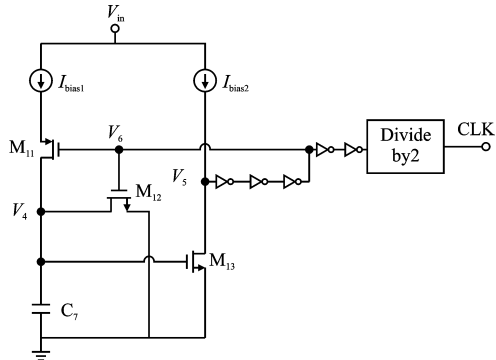


图 7 升压电路时钟产生电路原理图

Fig. 7 The schematic of clock in boost circuit

F_{CLK} 为所产生的时钟频率, I_{bias1} 为偏置电流, V_4 为节点 4 处的电压值.

在时钟控制下产生三个不交叠的开关信号 S_1 、 S_2 、 S_3 , 其时序逻辑如图 6 右侧所示, 当 S_1 闭合时, V_{bias} 对电容 C_1 充电, $V_1 = V_{bias}$. S_1 断开, S_2 闭合时, 利用电容两端电压不能突变的特性, 使得 $V_1 = V_{clk1} + V_{bias}$. S_2 断开, S_3 闭合时, 将 C_1 上存储的电荷转移给 C_2 , 最终使得 $V_g = V_{ctrl} + V_{bias}$.

本文在 EA 的输出端和功率管栅极之间加入基于电容的升压电路, 其结构简单、输出电压可调范围大、输出纹波较低. 相比于文献[4]提出的采用电荷泵提高 EA 电压域的 LDO 结构, 本文所提出的结构, 其功耗低, 更符合 3D NAND 闪存的应用场景.

3.3 峰值电压检测电路设计

为降低负载电流突变时的环路响应时间, 本文设计了如图 8 所示的基于比较器的输出电压采样电路, 加快 LDO 环路响应速度. 通过比较器对 LDO 的输出电压进行采样、比较, 当输出电压低于比较器的阈值电压时, 将结果进行锁存, V_8 点电位变为高电平. 之后通过电容 C_8 的升压作用将比较器的输出结果反馈到环路控制当中, 加速抬高功率管的栅端电压, 从而提高 LDO 输出电压值, 极大的加快了 LDO 的瞬态响应速度, 能确保大瞬态电流负载时的最低供电电压值要求. 图 9 所示为在相同负载电流条件下, 有无峰值检测电路时 LDO 输出电压变化波形, 从图中可以看到, 在相同负载电流条件下, 峰值检测电路能将最低输出电压值抬高 50 mV 左右. 峰值电压检测电路能迅速抬高 LDO 的输出电压值, 但环路需要响应时间, 当 LDO 输出电压值低于阈值电压时, 会再次触发峰值电压检测电路, 直到环路能完全响应. 如图 9 所示, 加了峰值电压检测电路之后会导致响应时间稍长, 但电压值都在设定的阈值以上.

4 仿真结果

基于 YMTC 的 CMOS 工艺对电路进行仿真, 主要对电路的瞬态响应特性进行仿真.

4.1 瞬态电压变化曲线

前仿输出电压变化曲线如图 10 所示, 输入电压为 2.35 V, 当负载电流从 1 mA~600 mA 变化时, 变化的速度约为 6 A/ μ s, 输出下冲电压为 0.21 mV, 过冲电压为 0.16 mV, 根据图 10 算得的负载调整率约为 0.018 mV/mA.

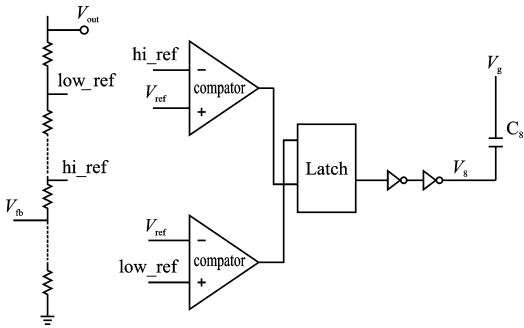


图 8 峰值电压检测电路原理图

Fig. 8 The schematic of detect peak voltage

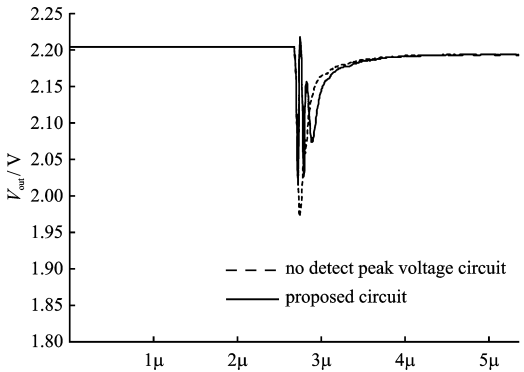


图 9 有无峰值电压检测电路时的输出电压变化波形

Fig. 9 The waveform of output voltage whether detect peak voltage circuit

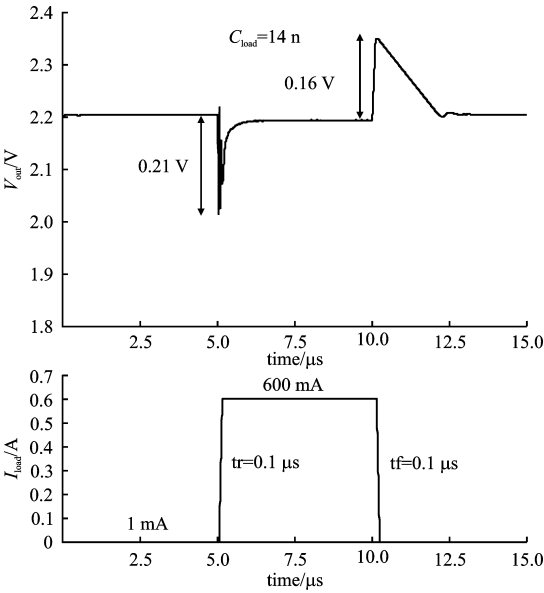


图 10 瞬态响应变化曲线

Fig. 10 The transient response of LDO

4.2 电源抑制比(PSRR)

图 11 所示为电路在重载 600 mA 时, 测得的 PSRR 曲线, 从图中可知, 低频时电路的 PSRR 约为 55 dB, 电路具有良好的电源抑制比.

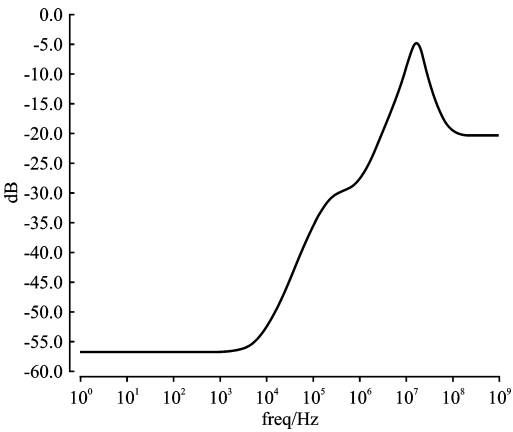


图 11 PSRR 曲线

Fig. 11 The waveform of PSRR

表 1 列出了本文所设计的 LDO 与参考文献[3-6]的各项参数对比,本文所设计的 LDO 在带载能力上较为突出,带载能力达 600mA. 与文献[4]相比,在相同大电流负载条件下,本文所设计的 LDO 的下冲电压 (undershoot voltage) 较低,约为 0.21 V.

表 1 本文与其他文献参数对比

Tab. 1 performance comparison with this paper

Parameter	文献[3]	文献[4]	文献[5]	文献[6]	This work
V_{in}/V	1.5~3.3	1.5~5	0.75~1.2	0.6	2.35
V_{out}/V	1.0~3.0	1.3~4.8	0.5~1	0.5	2.2
Max I_{load}/mA	150	600	100	45	600
Undershoot voltage/V	0.16	0.514	0.114	0.044	0.21
C_{load}	1~47 μ	0	0.007n	0.1n	14n
PSRR/dB (10 kHz)	>22	69	/	/	55
Load Reg / (mV/mA)	/	0.011	0.1	0.047	0.018

5 测试结果

图 12 是 3D NAND 闪存的 CMOS 电路 layout 照片,黑色方框为所设计的 LDO 功率级的位置,黑色圆圈为 LDO 的 Main Loop 所在位置. 对设计好的 CMOS 电路进行流片,并对流片后的芯片进行了相应的测试.

图 13 所示为 3D NAND 闪存芯片在 Active 和 Standby 两种模式间进行切换时,示波器测得的 LDO 的输出电压波形. 两种模式间的输出电压差值为 75.9 mV,符合设定要求. 在逻辑信号控制下能在这两种模式间自由切换.

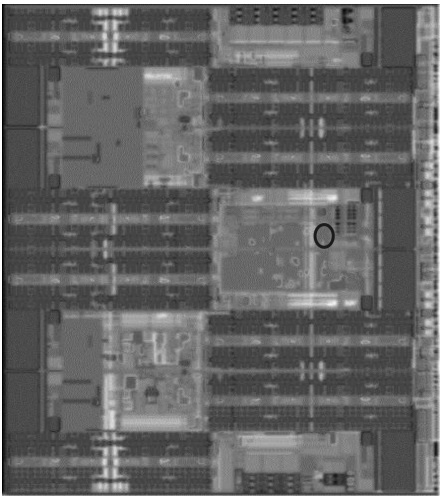


图 12 CMOS 电路 layout 照片

Fig. 12 The picture of layout about CMOS

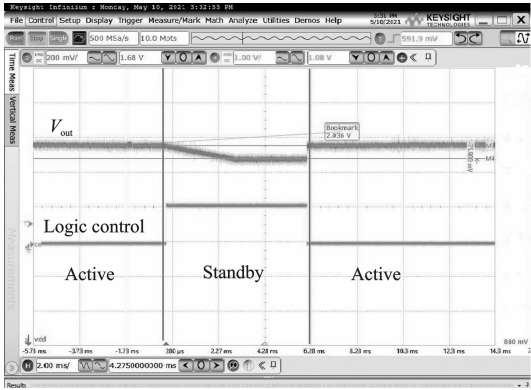


图 13 两种模式下测得的输出电压波形

Fig. 13 The waveform of output voltage in two model

6 结束语

本文设计了一种带载能力达 600 mA,适用于为 3D NAND 闪存的 CMOS 电路进行片上供电的分式功率级 LDO 电路,本文所设计的 LDO 电路,结构简单、稳定性强、带宽达 2.5MHz,满载条件下的负载调整率为 0.018 mV/mA,瞬态响应速度快,重载 600 mA 时的下冲电压为 0.21 V. 对所设计的电路进行仿真、流片、验证,结果表明,本文所设计的 LDO 电路符合设计要求,能有效对 3D NAND 闪存的 CMOS 电路进行供电.

参考文献:

[1] YOON K S, KIM H S, QU W Y, et al. Fully integrated digitally assisted low-dropout regulator for a NAND flash memory system[J]. IEEE Transactions on Power Electronics, 2018, 33(1): 388-406. DOI:

- 10.1109/TPEL.2017.2665476.
- [2] 程立, 黄鲁. 一种高性能无片外电容型 LDO 设计[J]. 微电子学与计算机, 2017, 34(10): 119-122. DOI: 10.19304/j.cnki.issn1000-7180.2017.10.025.
- CHENG L, HUANG L. Design of a high performance output-capacitorless LDO [J]. Microelectronics & Computer, 2017, 34(10): 119-122. DOI: 10.19304/j.cnki.issn1000-7180.2017.10.025.
- [3] OR P Y, LEUNG K N. An output-capacitorless low-dropout regulator with direct voltage-spike detection [J]. IEEE Journal of Solid-State Circuits, 2010, 45(2): 458-466. DOI: 10.1109/JSSC.2009.2034805.
- [4] MAGOD R, BAKKALOGLU B, MANANDHAR S. A 1.24 μ A quiescent current NMOS low dropout regulator with integrated low-power oscillator-driven charge-pump and switched-capacitor pole tracking compensation [J]. IEEE Journal of Solid-State Circuits, 2018, 53(8): 2356-2367. DOI: 10.1109/JSSC.2018.2820708.
- [5] PARK J, LEE B, HONG S W. An output capacitorless low-dropout regulator with a low-VDD inverting buffer for the mobile application[J]. IEEE Transactions on Industrial Electronics, 2020, 67(10): 8931-8935. DOI: 10.1109/TIE.2019.2951296.
- [6] GUO J P, LEUNG K N. A 6- μ W chip-area-efficient output-capacitorless LDO in 90-nm CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2010, 45(9): 1896-1905. DOI: 10.1109/JSSC.2010.2053859.
- [7] TAN Y, ZHAN C C, WANG G H. A fully-on-chip analog low-dropout regulator with negative charge pump for low-voltage applications[J]. IEEE Transactions on Circuits And Systems II: Express Briefs, 2019, 66(8): 1361-1365.

作者简介:

张 宁 男,(1997-),硕士研究生.研究方向为模拟集成电路设计.

史维华 女,(1976-),高级工程师.研究方向为新型存储器设计.

王 颀 男,(1975-),博士,研究员,博士生导师.研究方向为新型存储器设计技术研究.

霍宗亮(通讯作者) 男,(1975-),博士,研究员.研究方向为新型半导体存储技术. E-mail: huozongliang@ime.ac.cn